

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное  
образовательное учреждение высшего образования  
«Тульский государственный университет»

Политехнический институт  
Кафедра «Промышленная автоматика и робототехника»

Утверждено на заседании кафедры  
«Промышленная автоматика и робототех-  
ника»

« 17 » января 2023г., протокол № 2

И.о. заведующего кафедрой

 О.А.Ерзин

**МЕТОДИЧЕСКИЕ УКАЗАНИЯ  
по выполнению лабораторных работ  
по дисциплине (модулю)  
«Основы микропроцессорной техники»**

**основной профессиональной образовательной программы  
высшего образования – программы бакалавриата**

по направлению подготовки  
15.03.02 Технологические машины и оборудование

с направленностью (профилем)  
Информационно-измерительные и управляющие системы  
технологических машин

Форма обучения: очная

Идентификационный номер образовательной программы: 150302-01-22

Тула 2023 год

## Разработчик(и) методических указаний

Зайчиков Игорь Вячеславович, канд.техн.наук, доц.

(ФИО, должность, ученая степень, ученое звание)



(подпись)

\_\_\_\_\_  
(ФИО, должность, ученая степень, ученое звание)

\_\_\_\_\_  
(подпись)

Лабораторная работа N1.  
(2 часа)

Изучение функционирования элементов, выполняющих булевы операции над сигналами.

1. ЦЕЛЬ: построение универсальной таблицы истинности для каждой логической операции независимо от числа входных сигналов.
2. ЗАДАЧА: освоение программного обеспечения для моделирования цифровых схем.
3. ОБОРУДОВАНИЕ: персональная ЭВМ IBM PC, программная система моделирования EXERCIS с табличными данными.
4. ЗАДАНИЕ: освоить функции программной системы моделирования EXERCIS и составить тестовую схему, состоящую из задающих генераторов, тестируемых элементов и датчиков для визуализации сигналов
  - а) для четырехвходового элемента И;
  - б) для четырехвходового элемента ИЛИ;

5. ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ:

Булевы операции являются одними из основных при рассмотрении логических действий над операндами, числами или цифровыми сигналами. С учетом того, что в любой ЭВМ информация кодируется двумя основными цифрами или состояниями, то при наличии в сигналах двух наиболее выраженных состояний к ним можно применить булевы операции с учетом изменения сигналов во времени. При этом в сигнале можно выделить четыре основных фрагмента, которые влияют на реакции любого элемента цифровой логики: уровень логического нуля, уровень логической единицы, фронт (переход от "0" к "1") и срез (переход от "1" к "0"):

-----  
 "0"    Ф | "1"    |С "0"    Ф | "1"    |С "0"    Ф |  
 -----

Ограничение количества уровней двумя не является жестким. Многозначная логика допускает и большее количество уровней и разнообразные переходы между уровнями. При этом усложняются правила функционирования для цифровых элементов многозначной логики.

Ограничимся общеизвестными правилами функционирования цифровых элементов для двухуровневой логики с учетом равнозначности входных сигналов:

- а) логическое умножение: уровень логического нуля на любом входе дает на выходе уровень логического нуля; отсутствие нулей на входах дает на выходе уровень логической единицы - булева операция И;
- б) логическое сложение: уровень логической единицы на любом входе дает на выходе уровень логической единицы; отсутствие единиц на входах дает на выходе уровень логического нуля - булева операция ИЛИ;
- в) логическое вычитание: любые пары входов с одинаковыми логическими уровнями сводятся к уровню логического нуля; любые пары входов с разными логическими уровнями сводятся к уровню логической единицы - булева операция ИСКЛЮЧАЮЩЕЕ ИЛИ;
- г) логическое отрицание: уровень логического нуля переходит в уровень логической единицы; уровень логической единицы переходит в уровень логического нуля - булева операция НЕ;

Получить базовые булевы операции можно с учетом равнозначности для двух входных сигналов путем анализа всех возможных выходных реакций:

Для определения реакций таких элементов используют таблицы истинности, в которых указывают входные состояния и выходные реакции элемента.

Входы	X1	X2	X1X2	Операция
	1	1	01=10	0 0
Выход	0	0	0	Без смысла
	0	0	1	ИЛИ-НЕ
	0	1	0	ИСКЛ. ИЛИ
	0	1	1	И-НЕ
	1	0	0	И
	1	0	1	ИсклИЛИ-НЕ
	1	1	0	ИЛИ
	1	1	1	Без смысла

X1	X2	И	ИЛИ	ИсклИЛИ
0	0	0	0	0
0	1	0	1	1
1	0	0	1	1
1	1	1	1	0

6. РЕЗУЛЬТАТЫ РАБОТЫ:

Проверить тестовую схему а) для 4-хвходового элемента И, б) для 4-хвходового элемента ИЛИ, в) для 4-хвходового элемента ИсклИЛИ, получить и зарисовать диаграммы входов и выходов, используя программную систему моделирования EXERCIS. Параметры генераторов задаются преподавателем. Составить таблицы истинности для элементов И, ИЛИ, ИсклИЛИ с произвольным количеством входов.

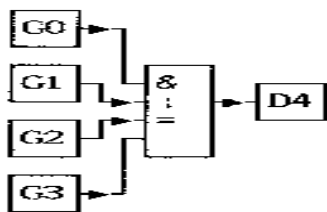


Рис.1

#### 7. КОНТРОЛЬНЫЕ ВОПРОСЫ:

- Как выполняется булева операция И?
- Как выполняется булева операция ИЛИ?
- Как выполняется булева операция ИсклИЛИ?
- Какие фрагменты цифрового сигнала можно выделить?

8. ОТЧЕТ: должен состоять из исследуемых схем с параметрами задающих генераторов, диаграмм входных и выходных сигналов к каждой схеме, таблиц истинности исследуемых элементов с произвольным количеством входов.

#### 9. ЛИТЕРАТУРА:

1) Шило В.Л. Популярныe цифровые микросхемы: Справочник. 2-е изд., испр.-Челя-бинск: Металлургия, Челябинское отд., 1989. – 352 с.: ил. - (Массовая радиобиблиотека. Вып.1111).

### Лабораторная работа N2. (2 часа)

#### Изучение цифровых схем с устойчивыми выходными состояниями. RS-триггеры

1. ЦЕЛЬ: изучение простейших элементов с возможностью запоминания выходного состояния.

2. ЗАДАЧА: освоение управления элементами с возможностью запоминания выходного состояния.

3. ОБОРУДОВАНИЕ: персональная ЭВМ IBM PC, программная система моделирования EXERCIS с табличными данными.

4. ЗАДАНИЕ: Составить и исследовать схему с устойчивыми выходными состояниями на основе а) 2-хвходовых элементов И-НЕ, б) 2-хвходовых элементов ИЛИ-НЕ, в) 2-хвходовых элементов ИсклИЛИ-НЕ.

#### 5. ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ:

Получить цифровую схему с устойчивыми выходными состояниями можно используя отрицательные обратные связи и элементы базовых булевых операций. При этом для управления должны оставаться свободными дополнительные входы. Схема, обладающая способностью переключаться в какое-либо устойчивое состояние, носит название триггера, а механизм переключения - триггерным. Следует учесть, что не все элементы базовых булевых операций дадут желаемый результат. Основой триггерного механизма является схема кольцевого включения двух инверторов, то есть элементов НЕ:

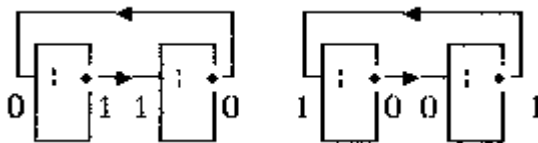
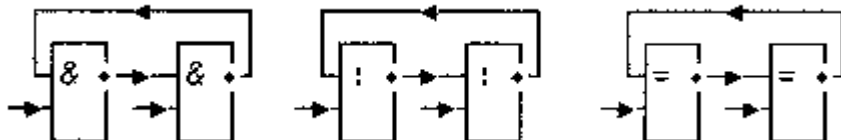


Рис.2

При этом, если на вход одного из элементов поступил логический "0" или "1", то за счет двойной инверсии в кольце это же состояние вернется без изменений на данный элемент, а общее состояние схемы будет без изменений сохраняться сколь угодно долго.

С целью управления подобными схемами можно использовать 2-хвходовые элементы:



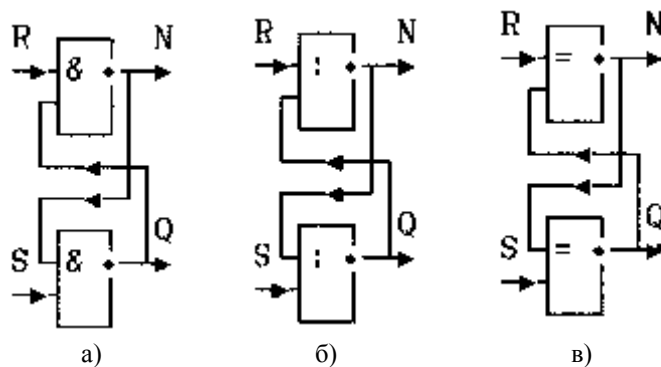


Рис.3

Схема (рис.3а) носит название RS-триггера, входы символично обозначены первыми буквами английских слов R - Reset - Сброс выхода в "0", S - Setup - Установка выхода в "1", Q - Quit - Выход, N - Not a quit - инверсный выход. Схемы (рис.3б), (рис.3в) имеют в основе другой базовый элемент и сохраняют для сравнения обозначения входов и выходов.

Анализ схем по таблицам истинности для элементов 2И-НЕ, 2ИЛИ-НЕ дает таблицы истинности или функционирования приведенных схем:

R	S	Q	N
0	0	1	1
0	1	0	-Q=1
1	0	1	-Q=0
1	1	Π	-Q=-Π
Φ	Φ	3	3
x	x	Π	-Q=-Π

R	S	Q	N
0	0	Π	-Q=-Π
0	1	1	-Q=0
1	0	0	-Q=1
1	1	0	0
С	С	3	3
x	x	Π	-Q=-Π

Рис.4

Функционирование схемы (рис.3а) можно кратко описать так: активными уровнями входов R и S являются логические "0". При комбинации входов R=0, S=1 имеем принудительный сброс выхода Q=0 (N=1). При комбинации входов R=1, S=0 имеем принудительную установку выхода Q=1 (N=0). При комбинации входов R=1, S=1 имеем режим сохранения предыдущего по времени состояния выхода триггера Q=Π (N=-Π). При комбинации входов R=0, S=0 имеем принудительную установку обоих выходов Q=1 и N=1. При подаче на входы R и S двух фронтов схема ведет себя неоднозначно, так как будет выходить из принудительного, но неустойчивого состояния Q=1 и N=1. В цифровой технике неоднозначность не приемлема, поэтому данная комбинация входных сигналов принято считать запрещенной к применению. Остальные комбинации R=x, S=x соответствуют режиму сохранения предыдущего по времени состояния выхода триггера Q=Π (N=-Π).

Функционирование схемы (рис.3б) прямо противоположно по значению входных и выходных сигналов, но механизм прежний.

Схема (рис.3в) для триггерного механизма не подходит, так как имеет режимы генерации автоколебаний.

6. РЕЗУЛЬТАТЫ РАБОТЫ: Проверить тестовые схемы рис.5, получить и зарисовать диаграммы входов и выходов,

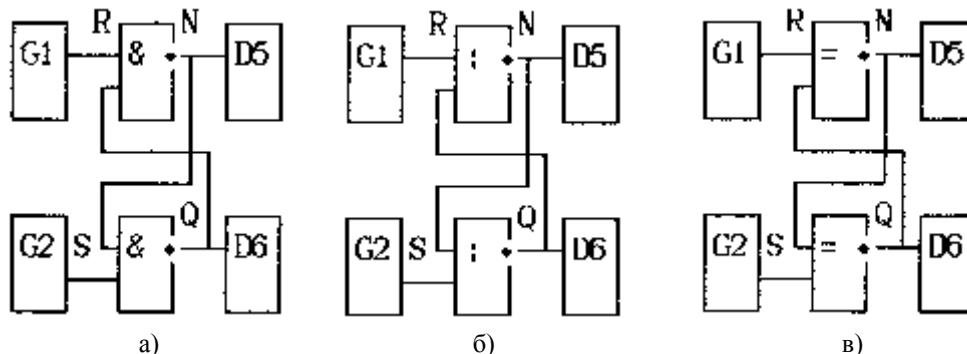


Рис.5

используя программную систему моделирования EXERCIS. Параметры генераторов задаются преподавателем.

## 7. КОНТРОЛЬНЫЕ ВОПРОСЫ:

- Как реализуется триггерный механизм сохранения устойчивого состояния?
- Какие особенности изменения состояния выходов имеет триггер на элементах 2И-НЕ?
- Какие особенности изменения состояния выходов имеет триггер на элементах 2ИЛИ-НЕ?
- Какие особенности изменения состояния выходов имеет триггер на элементах 2ИсКЛИИ-НЕ?

8. ОТЧЕТ: должен состоять из исследуемых схем с параметрами задающих генераторов, диаграмм входных и выходных сигналов к каждой схеме, таблиц истинности триггерных элементов.

#### 9. ЛИТЕРАТУРА:

1) Шило В.Л. Популярныe цифровые микросхемы: Справочник. 2-е изд., испр.-Челя-бинск: Металлургия, Челябинское отд., 1989. – 352 с.: ил. - (Массовая радиобиблиотека. Вып.1111).

#### Лабораторная работа N3. (4 часа)

#### Изучение триггерных схем со входом разрешения RSE-триггер, DE-триггер

1. ЦЕЛЬ: изучение триггерных схем различного функционального назначения.
2. ЗАДАЧА: освоение управления триггерными схемами различного функционального назначения.
3. ОБОРУДОВАНИЕ: персональная ЭВМ IBM PC, программная система моделирования EXERCIS с табличными данными.
4. ЗАДАНИЕ: Составить и исследовать триггерные схемы
  - а) со входами R, S, E;
  - б) со входами D, E;

#### 5. ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ:

Для реализации различных способов запоминания информации с помощью триггеров их схемы расширяют с помощью дополнительных элементов, которые позволяют для этих целей иметь дополнительные входы управления. Используя базовую схему RS-триггера на элементах 2И-НЕ, получим модифицированную схему с дополнительным входом разрешения E(nable) изменения состояния выходов по уровню логического "0" и схему трансляции данных от входа D(ata) со входом разрешения E(nable) трансляции на выход Q(uit) по уровню логического "0" с помощью добавочных элементов для булевых операций(), а также сокращенные таблицы истинности для них:

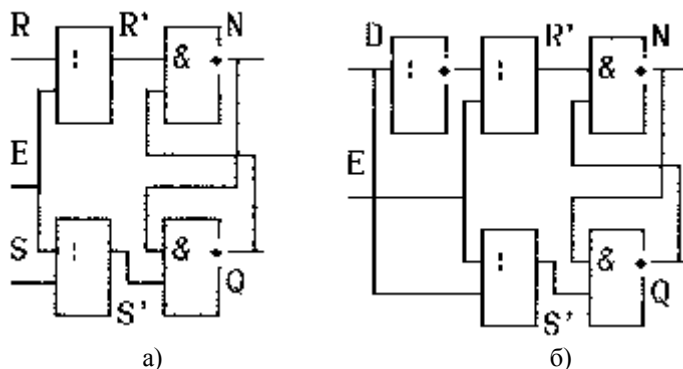


Рис.6

E	R	S	Q	N
0	0	0	1	1
0	0	1	0	-Q=1
0	1	0	1	-Q=0
0	1	1	П	-Q=-П
0	Ф	Ф	З	З
0	х	х	П	-Q=-П
1	х	х	П	-Q=-П

E	D	Q	N
0	0	0	-Q=1
0	1	1	-Q=0
1	х	П	-Q=-П

Приведенные схемы характерны тем, что в основном управляются уровнями входных сигналов, что в ряде случаев неприемлемо.

6. РЕЗУЛЬТАТЫ РАБОТЫ: Проверить схемы на рис.6а, рис.6б, получить и зарисовать диаграммы входов и выходов, используя программную систему моделирования EXERCIS. Параметры генераторов для входных сигналов задаются преподавателем.

#### 7. КОНТРОЛЬНЫЕ ВОПРОСЫ:

- а) Какую роль выполняют элементы 2ИЛИ в схеме RSE-триггера?
- б) Для чего использован инвертор в схеме DE-триггера?
- в) Как соотносятся между собой по приоритету входы R и S со входом E?

г) Как влияют одновременные фронты по входам S и E на выходы DE-триггера?

8. ОТЧЕТ: должен состоять из исследуемых схем с параметрами задающих генераторов, диаграмм входных и выходных сигналов к каждой схеме, таблиц истинности триггерных элементов.

#### 9. ЛИТЕРАТУРА:

1) Шило В.Л. Популярныe цифровые микросхемы: Справочник. 2-е изд., испр.-Челя-бинск: Металлургия, Челябинское отд., 1989. – 352 с.: ил. - (Массовая радиобиблиотека. Вып.1111).

### Лабораторная работа N4. (4 часа)

#### Изучение триггерных многовходовых схем RSDC-триггер, DC-триггер

1. ЦЕЛЬ: изучение триггерных схем различного функционального назначения.

2. ЗАДАЧА: освоение управления триггерными схемами различного функционального назначения.

3. ОБОРУДОВАНИЕ: персональная ЭВМ IBM PC, программная система моделирования EXERCIS с табличными данными.

4. ЗАДАНИЕ: Составить и исследовать триггерные схемы

а) со входами R, S, D, C;

б) со входами D, C;

#### 5. ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ:

Для реализации различных способов запоминания информации с помощью триггеров их схемы расширяют с помощью дополнительных элементов, которые позволяют для этих целей иметь дополнительные входы управления. Используя базовую схему RS-триггера на элементах 2И-НЕ, получим модифицированную схему с объединением входов R и S с дополнительным входом данных D(ata) и синхронного тактирования C(lock) с помощью добавочных элементов для булевых операций

Таблицы истинности для этих схем приведены также в сокращенном виде. Схема (рис.7б) получена из схемы (рис.7а) путем исключения входов R и S.

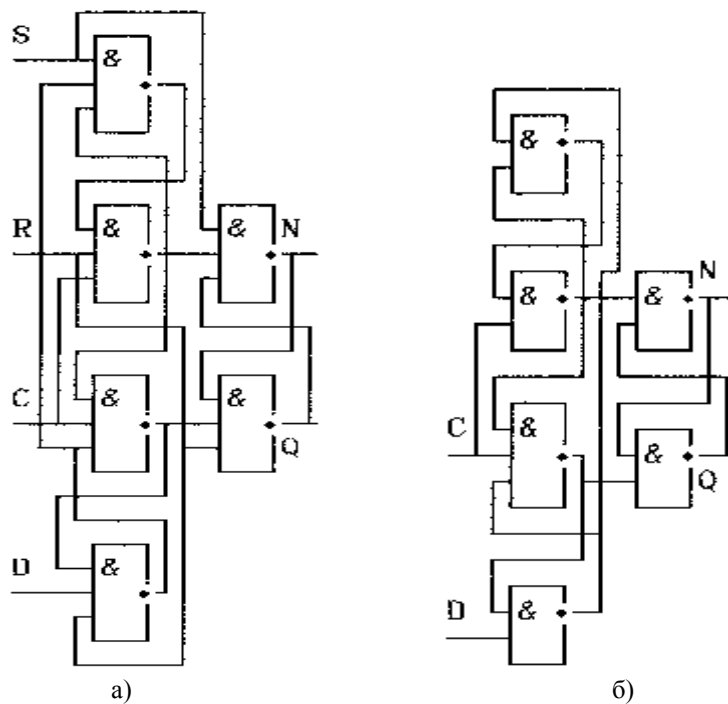


Рис.7

R	S	D	C	Q	N
-	-	-	-	-	-
0	0	x	x	1	1
0	1	x	x	0	-Q=1
1	0	x	x	1	-Q=0
Φ	Φ	x	x	3	3

D	C	Q	N
-	-	-	-
0	Φ	0	-Q=1
1	Φ	1	-Q=0
x	x	Π	-Q=-Π

1   1   0   Ф   0   -Q=1
1   1   1   Ф   1   -Q=0
1   1   x   x   П   -Q=-П
-----

Приведенные схемы характерны тем, что в управляются приоритетно входными сигналами R и S асинхронно с большим уровнем приоритетом по сравнению со входами D и C с меньшим уровнем.

Приведенные схемы управляются также уровнями входных сигналов R и S, а по входу C(lock) - фронтом сигнала, что позволяет получить ряд новых схем, таких как синхронные регистры и счетчики.

6. РЕЗУЛЬТАТЫ РАБОТЫ: Проверить схемы на рис.7а, получить и зарисовать диаграммы входов и выходов, используя программную систему моделирования EXERCIS. Параметры генераторов для входных сигналов задаются преподавателем.

#### 7. КОНТРОЛЬНЫЕ ВОПРОСЫ:

- Какую роль выполняют элементы ЗИЛИ в схеме RSDC-триггера?
- Как образуется схема DC-триггера?
- Как соотносятся между собой по приоритету входы R и S со входами D и C?
- Как влияют логические уровни "1" и "0", а также срез по входу C на выходы DC-триггера?

8. ОТЧЕТ: должен состоять из исследуемых схем с параметрами задающих генераторов, диаграмм входных и выходных сигналов к каждой схеме, таблиц истинности триггерных элементов.

#### 9. ЛИТЕРАТУРА:

1) Шило В.Л. Популярныe цифровые микросхемы: Справочник. 2-е изд., испр.-Челя-бинск: Металлургия, Челябинское отд., 1989. – 352 с.: ил. - (Массовая радиобиблиотека. Вып.1111).

### Лабораторная работа N5. (2 часа)

Изучение функционирования делителей частоты и счетчиков последовательного типа.

- ЦЕЛЬ:** изучение способов построения устройств счета импульсов.
- ЗАДАЧА:** исследование схем счетчиков положительного и отрицательного счета с последовательным включением.
- ОБОРУДОВАНИЕ:** персональная ЭВМ IBM PC, программная система моделирования EXERCIS с табличными данными.
- ЗАДАНИЕ:** Составить и исследовать схемы счетчиков
  - с последовательным включением делителей частоты и увеличением выходного кода;
  - с последовательным включением делителей частоты и уменьшением выходного кода;

#### 5. ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ:

Для получения простых схем счетчиков необходимо использовать базовую схему DC-триггера (рис.7б). Для облегчения понимания будем считать данную схему блоком со входами D и C и одним выходом Q, как это принято в выпускаемых промышленностью микросхемах.

Тогда, учитывая особенность входа C - фиксировать данные по фронту сигнала - рассмотрим схему простого делителя частоты на два по входу D.

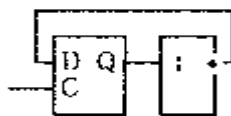


Рис.8

Данный делитель функционирует следующим образом. Так как инвертор кроме преобразования входного сигнала задерживает его, то на вход D относительно фронта сигнала C данный сигнал будет поступать всегда с опозданием. Если исходное состояние на входе D=0, то на выходе Q "0" появится только по фронту входа C. С задержкой на инверторе состояние входа D изменится на "1" после прихода фронта входа C и не изменит состояния выхода Q до прихода следующего фронта входа C.

Приход следующего фронта входа C изменит выход Q на "1", а вход D с задержкой на инверторе изменится на "0". Данные изменения будут повторяться при каждом приходе фронта входа C. Таким образом на выходе Q фронт будет появляться в два раза реже, чем



на входе С, что является делением входной частоты сигнала С на два.

Используя последовательное включение схемы (рис.8) получим схемы счетчиков для увеличения и уменьшения выходного кода, составленного из всех выходов Q.

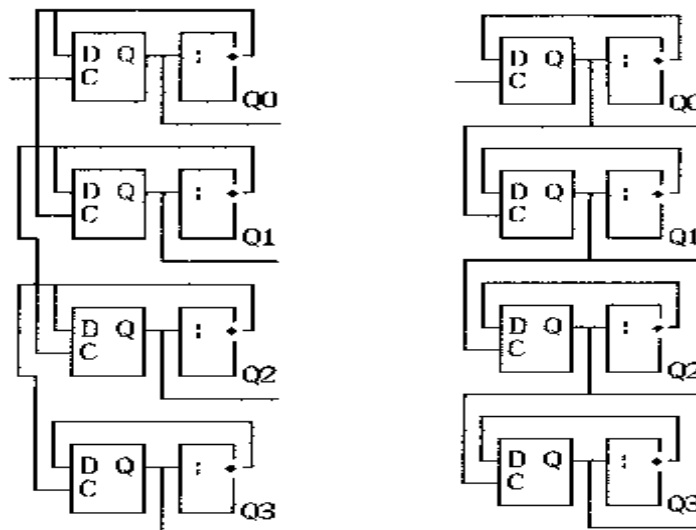


Рис.9

Недостатком таких схем является неодновременность изменения выходов относительно фронтов входного сигнала. Применение дополнительных элементов позволяет избежать этого.

С учетом задержек в элементах фронты на входы С для всех триггеров будут приходить практически одновременно, что обеспечивает синхронность изменения выходов.

6. РЕЗУЛЬТАТЫ РАБОТЫ: Проверить схемы на рис.9а, рис.9б, рис.10а, рис.10б, получить и зарисовать диаграммы входных задающих сигналов, выходов триггеров и промежуточных сигналов на входы С для рис.10а, рис.10б, используя программную систему моделирования EXERCIS. Параметры генераторов для входных сигналов задаются преподавателем.

#### 7. КОНТРОЛЬНЫЕ ВОПРОСЫ:

- а) Как с помощью DC-триггера выполнить деление входного сигнала вдвое по частоте?
- б) Как обеспечивается счет в сторону увеличения или уменьшения выходного кода счетчика?
- в) Какой недостаток и за счет чего имеет схема последовательного включения делителей частоты?
- г) Как обеспечить синхронность изменения выходного кода счетчика?

8. ОТЧЕТ: должен состоять из исследуемых схем с параметрами задающих генераторов, диаграмм входных, выходных и промежуточных сигналов к каждой схеме.

### Лабораторная работа №6. (2 часа)

#### Изучение функционирования делителей частоты и счетчиков синхронного типа

1. ЦЕЛЬ: изучение способов построения устройств счета импульсов.
2. ЗАДАЧА: исследование схем счетчиков положительного и отрицательного счета с параллельным включением.
3. ОБОРУДОВАНИЕ: персональная ЭВМ IBM PC, программная система моделирования EXERCIS с табличными данными.
4. ЗАДАНИЕ: Составить и исследовать схемы счетчиков
  - а) с параллельным включением делителей частоты и увеличением выходного кода;
  - б) с параллельным включением делителей частоты и уменьшением выходного кода;

#### 5. ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ:

Для получения простых схем счетчиков необходимо использовать базовую схему DC-триггера (рис.7б). Для облегчения понимания будем считать данную схему блоком со входами D и C и одним выходом Q, как это принято в выпускаемых промышленностью микросхемах.

Тогда, учитывая особенность входа С - фиксировать данные по фронту сигнала - рассмотрим схему простого делителя частоты на два по входу D.

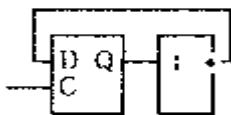


Рис.8

Данный делитель функционирует следующим образом. Так как инвертор кроме преобразования входного сигнала задерживает его, то на вход D относительно фронта сигнала C данный сигнал будет поступать всегда с опозданием. Если исходное состояние на входе D=0, то на выходе Q "0" появится только по фронту входа C. С задержкой на инверторе состояние входа D изменится на "1" после прихода фронта входа C и не изменит состояние выхода Q до прихода следующего фронта входа C.

Приход следующего фронта входа C изменит выход Q на "1", а вход D с задержкой на инверторе изменится на "0". Данные изменения будут повторяться при каждом приходе фронта входа C. Таким образом на выходе Q фронт будет появляться в два раза реже, чем на входе C, что является делением входной частоты сигнала C на два.

Используя последовательное включение схемы (рис.8) получим схемы счетчиков для увеличения и уменьшения выходного кода, составленного из всех выходов Q.

Синхронность изменения выходного кода счетчика обеспечивается дополнительными элементами И-НЕ.

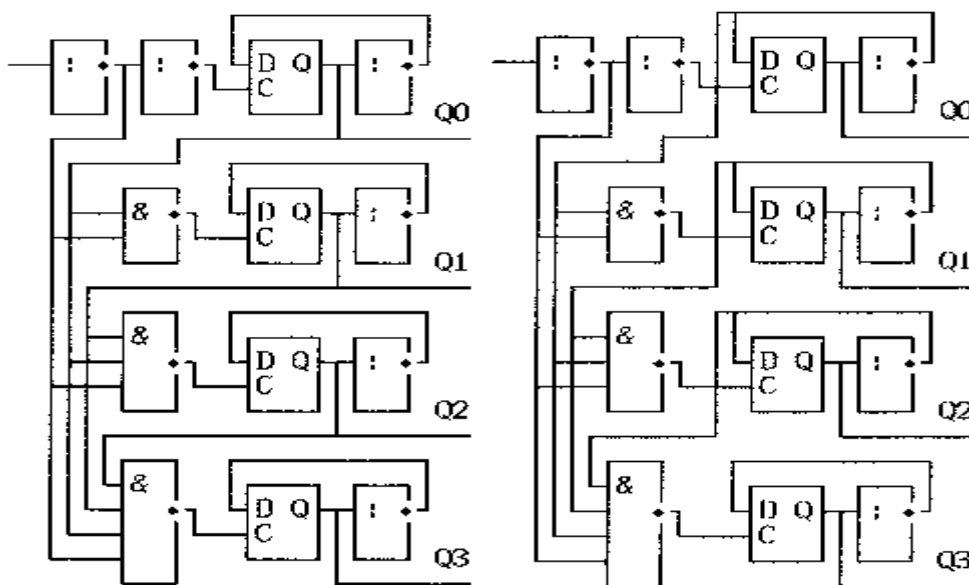


Рис.9

Недостатком таких схем является неодновременность изменения выходов относительно фронтов входного сигнала. Применение дополнительных элементов позволяет избежать этого.

С учетом задержек в элементах фронты на входы C для всех триггеров будут приходить практически одновременно, что обеспечивает синхронность изменения выходов.

6. РЕЗУЛЬТАТЫ РАБОТЫ: Проверить схемы на рис.9а, рис.9б, рис.10а, рис.10б, получить и зарисовать диаграммы входных задающих сигналов, выходов триггеров и промежуточных сигналов на входы C для рис.10а, рис.10б, используя программную систему моделирования EXERCIS. Параметры генераторов для входных сигналов задаются преподавателем.

#### 7. КОНТРОЛЬНЫЕ ВОПРОСЫ:

- Как с помощью DC-триггера выполнить деление входного сигнала вдвое по частоте?
- Как обеспечивается счет в сторону увеличения или уменьшения выходного кода счетчика?
- Какой недостаток и за счет чего имеет схема параллельного включения делителей частоты?

8. ОТЧЕТ: должен состоять из исследуемых схем с параметрами задающих генераторов, диаграмм входных, выходных и промежуточных сигналов к каждой схеме.

Лабораторная работа N7.  
(2 часа)

Изучение функционирования дешифраторов одиночного параллельного восьмиразрядного кода.

1. ЦЕЛЬ: построение универсальной таблицы истинности для каждой булевой операции независимо от числа входных сигналов и применение ее к дешифрированию одиночного многоразрядного кода.
2. ЗАДАЧА: освоение способов составления цифровых схем для моделирования и дешифрации конкретного одиночного параллельного восьмиразрядного кода.
3. ОБОРУДОВАНИЕ: персональная ЭВМ IBM PC, программная система моделирования EXERCIS с табличными данными.
4. ЗАДАНИЕ: освоить функции программной системы моделирования EXERCIS и составить тестовую схему, состоящую из задающего генератора, тестирующего счетчика, тестируемых элементов и датчиков для визуализации сигналов
  - а) для 8-входового элемента И;
  - б) для 8-входового элемента ИЛИ;
5. ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ:

Используя реакцию таких элементов, как И и ИЛИ, в которых применяется не только 2 входа, как показано на рисунке 1, а произвольное количество входов, можно сформулировать словесное правило работы этих элементов

-----			
X1	X2	И   ИЛИ	
-----			
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	1
-----			

рис.1

- 1) для элемента И: выход равен 1, если на всех входах имеются тоже 1; выход равен 0, если на любом из входов имеется 0;
- 2) для элемента ИЛИ: выход равен 0, если на всех входах имеются тоже 0; выход равен 1, если на любом из входов имеется 1.

Первую часть данных определений можно использовать в целях выделения или дешифрации произвольного двоичного кода следующим образом:

- 1) для элемента И: для конкретного двоичного кода на входы элемента И надо подать напрямую те разряды, в которых в коде присутствуют 1, и через инверторы те разряды, в которых в коде присутствуют 0. В этом случае на выходе элемента И уровень 1 появится, если только на входах будет соответствующий двоичный код. Во всех других случаях будет уровень 0.
- 2) для элемента ИЛИ: для конкретного двоичного кода на входы элемента ИЛИ надо подать напрямую те разряды, в которых в коде присутствуют 0, и через инверторы те разряды, в которых в коде присутствуют 1. В этом случае на выходе элемента ИЛИ уровень 0 появится, если только на входах будет соответствующий двоичный код. Во всех других случаях будет уровень 1.

#### 6. РЕЗУЛЬТАТЫ РАБОТЫ:

Проверить тестовую схему на рис.2 для а) для 8-мивходового элемента И, б) для 8-мивходового элемента ИЛИ, получить и зарисовать диаграммы входов и выходов, используя программную систему моделирования EXERCIS. Параметры генераторов и коды для дешифрации на элементах 8-И и 8-ИЛИ задаются преподавателем.

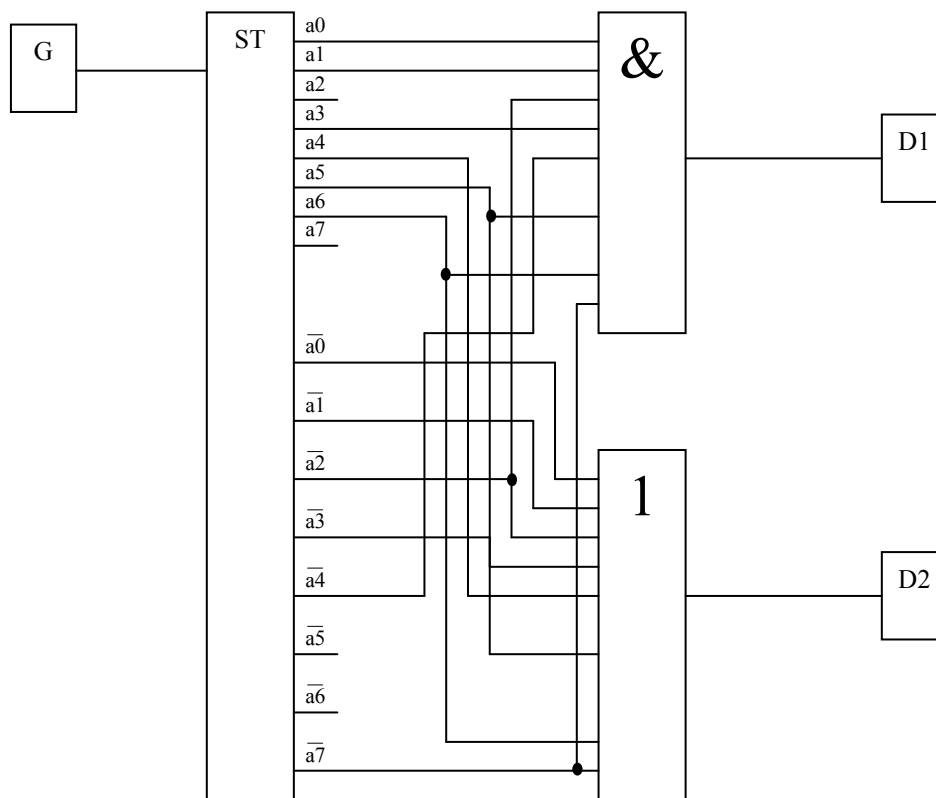


Рис.2

#### 7. КОНТРОЛЬНЫЕ ВОПРОСЫ:

- Как выполняется булева операция И?
- Как выполняется булева операция ИЛИ?
- Как выполняется булева операция ИсклИЛИ?
- Какие фрагменты цифрового сигнала можно выделить?

8. ОТЧЕТ: должен состоять из исследуемых схем с параметрами задающих генераторов, диаграмм входных и выходных сигналов к каждой схеме, таблиц истинности исследуемых элементов с количеством входов 8.

#### 9. ЛИТЕРАТУРА:

- 1) Шило В.Л. Популярные цифровые микросхемы: Справочник. 2-е изд., испр.-Челябинск: Металлургия, Челябинское отд., 1989. – 352 с.: ил. - (Массовая радиобиблиотека. Вып.1111).
- 2) Каган Б.М., Сташин В.В. Основы проектирования микропроцессорных устройств автоматики.-М.: Энергоатомиздат, 1987.- 304 с.
- 3) Калабеков Б.А. Микропроцессоры и их применение в системах передачи и обработки сигналов.:Учебное пособие для вузов.- М.: Радио и связь, 1988.- 368с.
- 4) Микропроцессоры. В 3-х кн. Кн.1.Архитектура и проектирование микроЭВМ. Организация вычислительных процессов.:Учеб. для втузов / П.В.Нестеров,В.Ф.Шаньгин,В.Л.Горбунов и др.; Под редакцией Л.Н.Преснухина. М.:Высш.шк.,1986.-495 с.
- 5) Микропроцессорное управление технологическим оборудованием микроэлектроники.: Учеб. пособие / А.А.Сазонов, Р.В.Корнилов, Н.П.Коган и др.;Под ред. А.А.Сазонова.- М.:Радио и связь, 1988.-264с.
- 6) Микропроцессорные системы автоматического управления / В.А.Бесекерский, Н.Б.Ефимов, С.И.Зиатдинов и др. Под общ. ред. В.А. Бесекерского.-Л.:Машиностроение. Ленингр. отд-ние,1988. - 365с.
- 7) Сташин В.В., Урусов А.В., Мологонцева О.Ф. Проектирование цифровых устройств на однокристальных микроконтроллерах. -М.: Энергоатомиздат, 1990. - 224 с.
- 8) Щелкунов Н.Н., Дианов А.П. Микропроцессорные средства и системы.-М.: Радио и связь, 1989.-288с.

Лабораторная работа N8  
(4 часа)

Изучение функционирования дешифратора для зоны из нескольких кодов.

1. ЦЕЛЬ: изучение стандартных микросхем малой степени.
2. ЗАДАЧА: освоение способов составления цифровых схем для моделирования и дешифрации зоны 8-ми кодов адресной шины микропроцессора.
3. ОБОРУДОВАНИЕ: персональная ЭВМ IBM PC, программная система моделирования EXERCIS с табличными данными.
4. ЗАДАНИЕ: освоить функции программной системы моделирования EXERCIS и составить тестовую схему, состоящую из задающих генераторов, тестирующего счетчика, тестируемых элементов и датчиков для визуализации сигналов для зоны из 8-ми адресных комбинаций на элементах 4-И-НЕ с использованием сигнала разрешения;

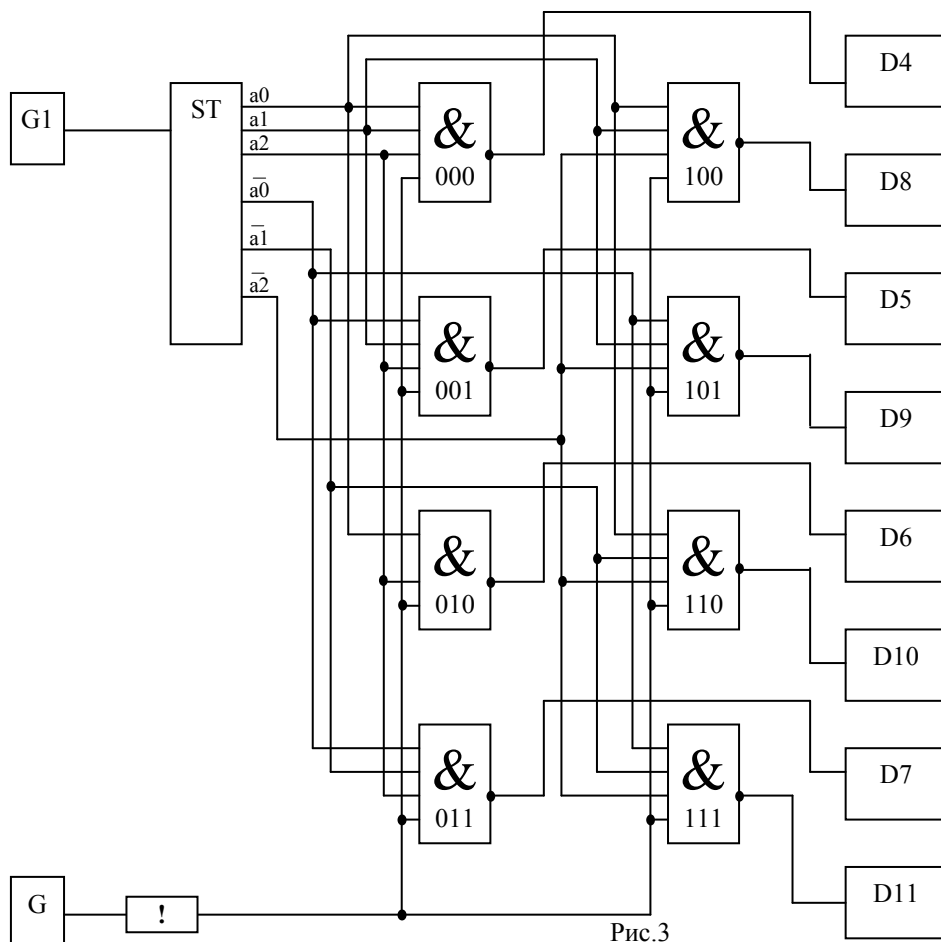
5. ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ:

Получить цифровую схему дешифрации зоны адресов, состоящей из восьми комбинаций, можно путем анализа изменения двоичного кода адресной шины микропроцессора. При любой разрядности шины адреса три младшие линии A0, A1, A2 будут указывать номер кода внутри зоны, а остальные старшие разряды будут определять номер зоны во всем адресном пространстве микропроцессора. По этой причине стандартные микросхемы дешифраторов зоны адресов имеют входные адресные линии для определения номеров кода внутри зоны и вход разрешения, который обычно соединяют с дешифратором кода номера зоны. Номер зоны определяется комбинацией оставшихся старших разрядов адреса и дешифрируется так, как это было сделано в лабораторной работе №1.

В данной лабораторной работе каждый номер внутри зоны дешифрируется своим элементом 4-И-НЕ, соответственно настраиваемым на него с помощью инверторов для первых трех входов. Четвертый вход является разрешающим, соединяется у всех элементов и получает сигнал разрешения через инвертор от внешнего дешифратора номера зоны в адресном пространстве микропроцессора. Этот же вход может использоваться для наращивания количества номеров в зоне, если используются несколько одинаковых дешифраторов.

Выбор элементов 4-И-НЕ определяется минимумом транзисторов для реализации в транзисторно-транзисторной логике. Сигнал разрешения пропускают через инвертор, так как принято считать разрешающим уровень 0. Кроме того при этом достигается согласование и усиление по току между одним внешним входом и несколькими внутренними входами.

6. РЕЗУЛЬТАТЫ РАБОТЫ: Проверить тестовую схему рис.3, получить и зарисовать диаграммы входов и выходов,



используя программную систему моделирования EXERCIS. Параметры генераторов задаются преподавателем.

#### 7. КОНТРОЛЬНЫЕ ВОПРОСЫ:

- а) Как реализуется деление на зоны в шине адреса микропроцессора?
- б) Какие чипы используются вход разрешения дешифратора?
- в) Как настраиваются на конкретные номера внутри зоны элементы 4-И-НЕ?
- г) Можно ли и каким образом построить такой же дешифратор на элементах 4-ИЛИ?

8. ОТЧЕТ: должен состоять из схемы с исследуемыми элементами с параметрами задающих генераторов, диаграмм входных и выходных сигналов к исследуемой схеме.

#### 9. ЛИТЕРАТУРА:

- 1) Шило В.Л. Популярныe цифровые микросхемы: Справочник. 2-е изд., испр.-Челябинск: Металлургия, Челябинское отд., 1989. – 352 с.: ил. - (Массовая радиобиблиотека. Вып.1111).
- 2) Каган Б.М., Сташин В.В. Основы проектирования микропроцессорных устройств автоматики.-М.: Энергоатомиздат, 1987.- 304 с.
- 3) Калабеков Б.А. Микропроцессоры и их применение в системах передачи и обработки сигналов.: Учебное пособие для вузов.- М.: Радио и связь, 1988.- 368с.
- 4) Микропроцессоры. В 3-х кн. Кн.1. Архитектура и проектирование микроЭВМ. Организация вычислительных процессов.: Учеб. для вузов / П.В.Нестеров, В.Ф.Шаньгин, В.Л.Горбунов и др.; Под редакцией Л.Н.Преснухина. М.: Высш.шк., 1986.-495 с.
- 5) Микропроцессорное управление технологическим оборудованием микроэлектроники.: Учеб. пособие / А.А.Сазонов, Р.В.Корнилов, Н.П.Коган и др.; Под ред. А.А.Сазонова.- М.: Радио и связь, 1988.-264с.
- 6) Микропроцессорные системы автоматического управления / В.А.Бесекерский, Н.Б.Ефимов, С.И.Зиатдинов и др. Под общ. ред. В.А. Бесекерского.-Л.: Машиностроение. Ленингр. отд-ние, 1988. - 365с.
- 7) Сташин В.В., Урусов А.В., Мологонцева О.Ф. Проектирование цифровых устройств на однокристальных микроконтроллерах. -М.: Энергоатомиздат, 1990. - 224 с.
- 8) Щелкунов Н.Н., Дианов А.П. Микропроцессорные средства и системы.-М.: Радио и связь, 1989.-288с.

#### Лабораторная работа №9. (2 часа)

##### Изучение функционирования демультиплексора.

1. ЦЕЛЬ: изучение стандартных микросхем малой степени.

2. ЗАДАЧА: освоение способов составления цифровых схем для моделирования и переключения произвольного сигнала во времени от одного входа на 8 выходов.

3. ОБОРУДОВАНИЕ: персональная ЭВМ IBM PC, программная система моделирования EXERCIS с табличными данными.

4. ЗАДАНИЕ: освоить функции программной системы моделирования EXERCIS и составить тестовую схему, состоящую из задающих генераторов, тестирующего счетчика, тестируемых элементов и датчиков для визуализации сигналов для переключения входного сигнала на один из 8-ми выходов на элементах 4-И-НЕ;

#### 5. ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ:

Демультиплексор является цифровым устройством транслирующим входной сигнал на один из нескольких выходов. Номер выхода определяется комбинацией на адресных входах. Получить цифровую схему демультиплексора можно из схемы дешифрации зоны адресов. При этом никаких изменений для схемы самого дешифратора не производится.

Однако следует учитывать следующее обстоятельство: при дешифрации частота изменения сигналов на адресных линиях существенно выше, чем частота изменения сигнала разрешения, а при демультиплексировании наоборот частота сигнала разрешения, который становится информационным, гораздо выше, чем частота сигналов на адресных линиях.

Таким образом, в исследуемой схеме необходимо изменить параметры генераторов для отчетливого получения функции демультиплексирования.

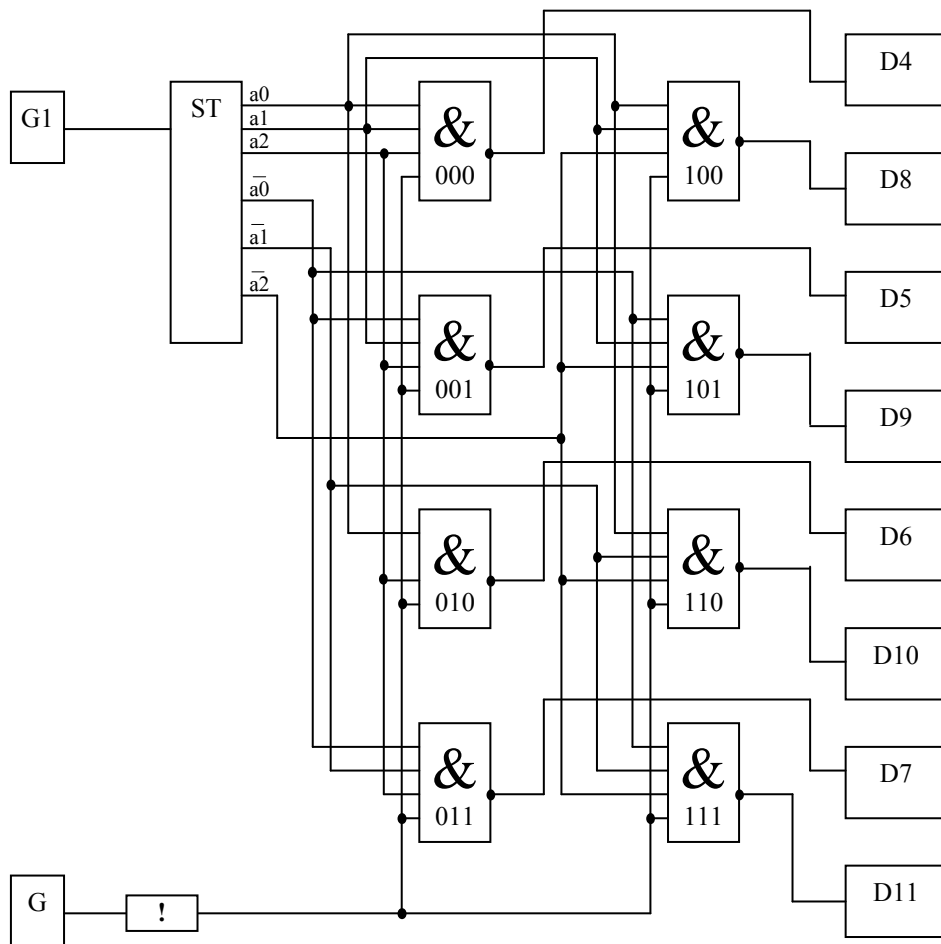


Рис.4.

6. РЕЗУЛЬТАТЫ РАБОТЫ: Проверить тестовую схему рис.4, получить и зарисовать диаграммы входов и выходов, используя программную систему моделирования EXERCIS. Параметры генераторов задаются преподавателем.

#### 7. КОНТРОЛЬНЫЕ ВОПРОСЫ:

- Чем отличается реализация функции демультиплексирования от функции дешифрирования?
- Какую функцию выполняет сигнал разрешения при демультиплексировании?
- Будет ли выполняться функции демультиплексирования, если соотношение частот на нулевой адресной линии и на линии сигнала разрешения будет 3:1?
- Как изменится работа демультиплексора, если вместо элементов 4-И-НЕ поставить элементы 4-ИЛИ-НЕ?

8. ОТЧЕТ: должен состоять из схемы с исследуемыми элементами с параметрами задающих генераторов, диаграмм входных и выходных сигналов к исследуемой схеме.

#### 9. ЛИТЕРАТУРА:

- Шилов В.Л. Популярныe цифровые микросхемы: Справочник. 2-е изд., испр.-Челябинск: Металлургия, Челябинское отд., 1989. – 352 с.: ил. - (Массовая радиобиблиотека. Вып.1111).
- Каган Б.М., Сташин В.В. Основы проектирования микропроцессорных устройств автоматики.-М.: Энергоатомиздат, 1987.- 304 с.
- Калабеков Б.А. Микропроцессоры и их применение в системах передачи и обработки сигналов.: Учебное пособие для вузов.- М.: Радио и связь, 1988.- 368с.
- Микропроцессоры. В 3-х кн. Кн.1. Архитектура и проектирование микроЭВМ. Организация вычислительных процессов.: Учеб. для вузов / П.В.Нестеров, В.Ф.Шаньгин, В.Л.Горбунов и др.; Под редакцией Л.Н.Преснухина. М.: Высш.шк., 1986.-495 с.
- Микропроцессорное управление технологическим оборудованием микроэлектроники.: Учеб. пособие / А.А.Сазонов, Р.В.Корнилов, Н.П.Коган и др.; Под ред. А.А.Сазонова.- М.: Радио и связь, 1988.-264с.
- Микропроцессорные системы автоматического управления / В.А.Бесекерский, Н.Б.Ефимов, С.И.Зиятдинов и др. Под общ. ред. В.А. Бесекерского.-Л.:Машиностроение. Ленингр. отд-ние, 1988. - 365с.
- Сташин В.В., Урусов А.В., Мологонцева О.Ф. Проектирование цифровых устройств на однокристальных микроконтроллерах. -М.: Энергоатомиздат, 1990. - 224 с.
- Щелкунов Н.Н., Дианов А.П. Микропроцессорные средства и системы.-М.: Радио и связь, 1989.-288с.

Лабораторная работа N10  
(4 часа)

Изучение функционирования мультиплексора.

1. ЦЕЛЬ: изучение стандартных микросхем малой степени.
2. ЗАДАЧА: освоение способов составления цифровых схем для моделирования и переключения произвольных сигналов во времени от нескольких входов на один общий выход.
3. ОБОРУДОВАНИЕ: персональная ЭВМ IBM PC, программная система моделирования EXERCIS с табличными данными.
4. ЗАДАНИЕ: освоить функции программной системы моделирования EXERCIS и составить тестовую схему, состоящую из задающих генераторов, тестирующего счетчика, тестируемых элементов и датчиков для визуализации сигналов для переключения 4 входных сигналов на один выход на элементах 4-И-НЕ;
5. ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ:

Мультиплексор является цифровым устройством, транслирующим входные сигналы с нескольких входов на один общий выход. Номер входа определяется комбинацией на адресных входах. Получить цифровую схему мультиплексора можно из схемы демультиплексора. При этом кроме функции дешифрирования номеров зоны необходимо добавить функцию объединения сигналов на общий выход. Это можно сделать с помощью дополнительного элемента И-НЕ.

Количество информационных входов в исследуемой схеме ограничим четырьмя. Они образуются из входа разрешения, который для каждого элемента 4-И-НЕ становится индивидуальным. Однако в целях сохранения возможности наращивания количества информационных сигналов общий вход разрешения должен на этих элементах также присутствовать. Поэтому при сохранении числа входов элементов 4-И-НЕ для дешифрирования адресных линий остается два входа, а количество информационных сигналов будет 4.

Дополнительный объединяющий элемент будет также 4-И-НЕ, для обеспечения правильности передачи фазы или уровней входных сигналов.

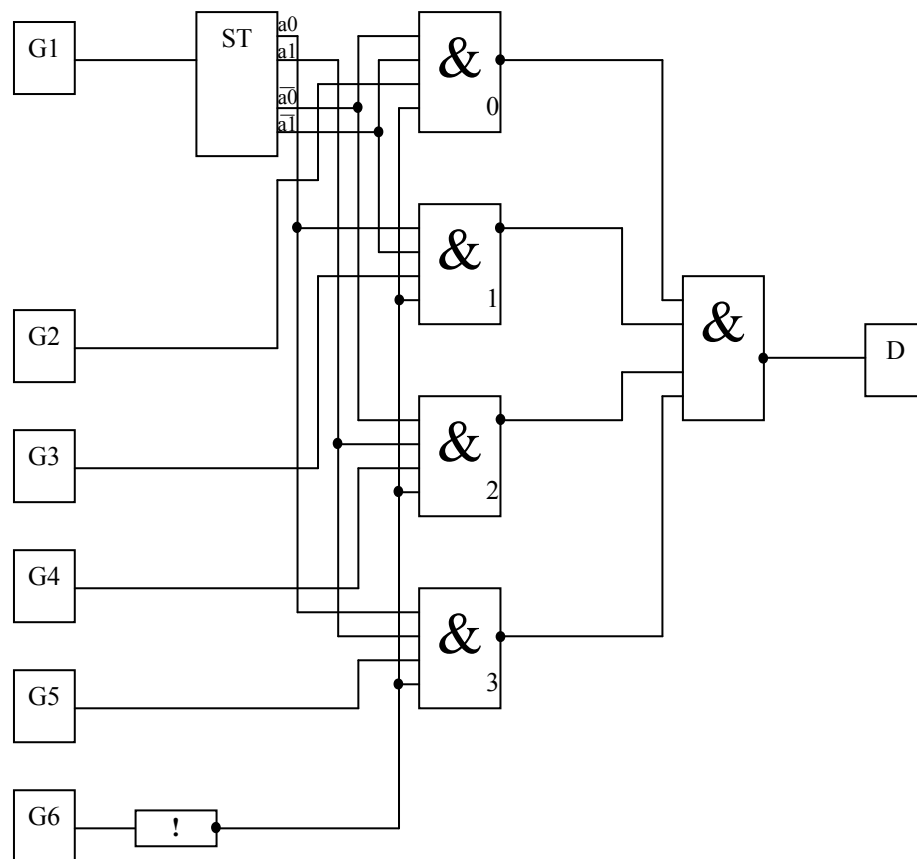


Рис.5.



6. РЕЗУЛЬТАТЫ РАБОТЫ: Проверить тестовую схему рис.5, получить и зарисовать диаграммы входов и выходов, используя программную систему моделирования EXERCIS. Параметры генераторов задаются преподавателем.

7. КОНТРОЛЬНЫЕ ВОПРОСЫ:

- а) Чем отличается реализация функции мультиплексирования от функции демультиплексирования?
- б) Какую реакцию даст мультиплексор на выходе при состоянии сигнала разрешения равным 1?
- в) Будет ли выполняться функции мультиплексирования, если соотношение частот на нулевой адресной линии и на линии младшего информационного сигнала будет 3:1?
- г) Как изменится работа мультиплексора, если вместо элементов 4-И-НЕ поставить элементы 4-ИЛИ-НЕ?

8. ОТЧЕТ: должен состоять из схемы с исследуемыми элементами с параметрами задающих генераторов, диаграмм входных и выходных сигналов к исследуемой схеме.

9. ЛИТЕРАТУРА:

- 1) Шилов В.Л. Популярныe цифровые микросхемы: Справочник. 2-е изд., испр.-Челябинск: Металлургия, Челябинское отд., 1989. – 352 с.: ил. - (Массовая радиобиблиотека. Вып.1111).
- 2) Каган Б.М., Сташин В.В. Основы проектирования микропроцессорных устройств автоматики.-М.: Энергоатомиздат, 1987.- 304 с.
- 3) Калабеков Б.А. Микропроцессоры и их применение в системах передачи и обработки сигналов.:Учебное пособие для вузов.- М.: Радио и связь, 1988.- 368с.
- 4) Микропроцессоры. В 3-х кн. Кн.1.Архитектура и проектирование микроЭВМ. Организация вычислительных процессов.:Учеб. для втузов / П.В.Нестеров,В.Ф.Шаньгин,В.Л.Горбунов и др.; Под редакцией Л.Н.Преснухина. М.:Высш.шк.,1986.-495 с.
- 5) Микропроцессорное управление технологическим оборудованием микроэлектроники.: Учеб. пособие / А.А.Сазонов, Р.В.Корнилов, Н.П.Коган и др.;Под ред. А.А.Сазонова.- М.:Радио и связь, 1988.-264с.
- 6) Микропроцессорные системы автоматического управления / В.А.Бесекерский, Н.Б.Ефимов, С.И.Зиатдинов и др. Под общ. ред. В.А. Бесекерского.-Л.:Машиностроение. Ленингр. отд-ние,1988. - 365с.
- 7) Сташин В.В., Урусов А.В., Мологонцева О.Ф. Проектирование цифровых устройств на однокристалльных микроконтроллерах. -М.: Энергоатомиздат, 1990. - 224 с.
- 8) Щелкунов Н.Н., Дианов А.П. Микропроцессорные средства и системы.-М.: Радио и связь, 1989.-288с.

Лабораторная работа N11  
(4 часа)

Изучение функционирования программируемой логической матрицы.

1. ЦЕЛЬ: изучение стандартных микросхем малой степени.

2. ЗАДАЧА: освоение способов составления цифровых схем для моделирования и переключения произвольных сигналов во времени от нескольких входов на один общий выход.

3. ОБОРУДОВАНИЕ: персональная ЭВМ IBM PC, программная система моделирования EXERCIS с табличными данными.

4. ЗАДАНИЕ: освоить функции программной системы моделирования EXERCIS и составить тестовую схему, состоящую из задающих генераторов, тестирующего счетчика, тестируемых элементов и датчиков для визуализации сигналов для произвольной перекодировки 3-разрядного входного вектора сигналов в 3-разрядный выходной вектор сигналов.

5. ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ:

Программируемая логическая матрица предназначена для произвольного преобразования К-разрядного входного вектора в L-разрядный выходной вектор. Величины К и L между собой являются независимыми.

Для преобразования используется два уровня элементов.

На первом уровне находятся дешифраторы кодовых комбинаций К-разрядного входного вектора. Для дешифрации применяются элементы И и инверторы. Количество входов элементов И соответствует величине К.

На втором уровне используются элементы ИЛИ. Количество данных элементов соответствует величине L. Количество входов каждого элемента ИЛИ зависит от таблицы преобразования или перекодировки. Элементы ИЛИ выполняют функцию суммирования тех сигналов от дешифраторов, которые в заданном разряде L-разрядного выходного вектора должны дать уровень 1. Уровень 0 в каждом разряде получается автоматически.

Для примера пусть выполняется преобразование 3-разрядного входного вектора в 3-разрядный выходной вектор в соответствии с таблицей 1.

Табл. 1.

Вход		Выход	
1	001	6	110
7	111	3	011

6	110	2	010
3	011	1	001
0	000	5	101

Тогда соответствующая тестовая схема программируемой логической матрицы будет представлена на рис.6.

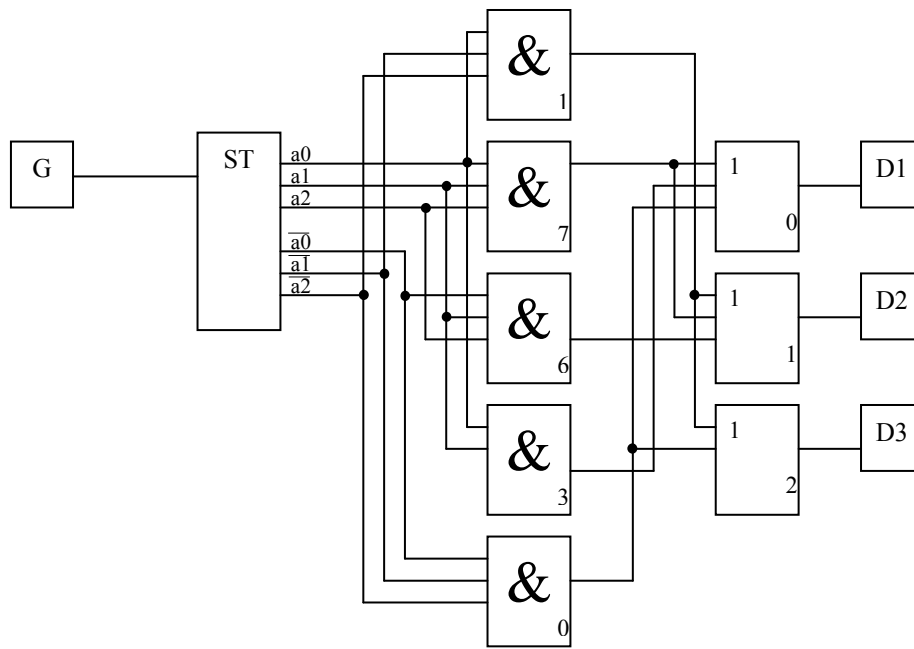


Рис.6.

6. РЕЗУЛЬТАТЫ РАБОТЫ: Проверить тестовую схему рис.6, получить и зарисовать диаграммы входов и выходов, используя программную систему моделирования EXERCIS. Параметры генераторов задаются преподавателем.

#### 7. КОНТРОЛЬНЫЕ ВОПРОСЫ:

- Для чего используется первый уровень схемы программируемой логической матрицы?
- Для чего используется второй уровень схемы программируемой логической матрицы?
- Какой код будет на выходе элементов ИЛИ, если он не дешифрируется первым уровнем схемы программируемой логической матрицы?
- Как изменится схема программируемой логической матрицы, если вместо элементов И-НЕ поставить элементы И-НЕ?

8. ОТЧЕТ: должен состоять из схемы с исследуемыми элементами с параметрами задающих генераторов, диаграмм входных и выходных сигналов к исследуемой схеме.

## 9. СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ:

### ОСНОВНОЙ

1. Гусев В.Г., Гусев Ю.М. Электроника и микропроцессорная техника: Учебник для вузов М.: Высшая школа, 2004.-790с
2. Волович Г.И. Схемотехника аналоговых и аналогово-цифровых электронных устройств. М.: Додэка-XXI, 2005.-528с
3. Новожилов О.П. Основы микропроцессорной техники. Т.2 : учеб.пособие: в 2 т. / О.П.Новожилов. — М. : РадиоСофт, 2007. — 336с. : ил. — ISBN 5-93037-167-9 : 287.96.
4. Новожилов О.П. Основы микропроцессорной техники. Т.1 : учеб.пособие: в 2 т. / О.П.Новожилов. — М. : РадиоСофт, 2007. — 432с. : ил. — ISBN 5-93037-165-2 : 314.62
5. Токарев В.Л. Аппаратные средства вычислительной техники : учеб.пособие для вузов / В.Л.Токарев. — Тула : Изд-во ТулГУ, 2005. — 470с. — (75-летию ТулГУ посвящается). — Библиогр.в конце кн. — ISBN 5-7679-0762-5 / в пер./ : 230.00.
6. Баев Б.П. Микропроцессорные системы бытовой техники : учебник для вузов / Б.П.Баев. — М. : Горячая линия-Телеком, 2005. — 480с. : ил. — Библиогр.в конце кн. — ISBN 5-93517-196-1 / в пер./ : 208.56.
7. Александров, Е.К. Микропроцессорные системы : учеб.пособие для вузов / Е.К.Александров [и др.]; под ред Д.В.Пузанкова. — М. : Политехника, 2002. — 935с. : ил. — Библиогр.в конце кн. — ISBN 5-7325-0516-4 / в пер./ : 316.39.
8. Шагурин, И.И. Современные микроконтроллеры и микропроцессоры фирмы Motorola : Справочник / И.И.Шагурин. — М. : Горячая линия-Телеком, 2004. — 952с. : ил. — ISBN 5-93517-162-7 / в пер./ : 538.00.
9. Белов, А.В. Самоучитель по микропроцессорной технике / А.В.Белов. — 2-е изд., перераб. и доп. — СПб. : Наука и Техника, 2007. — 256с. : ил. — (Радиолюбитель). — Библиогр.в конце кн. — ISBN 978-5-94387-190-0 : 101.15.
10. Бойт, К. Цифровая электроника / К.Бойт; пер. с нем. М.М.Ташлицкого. — М. : Техносфера, 2007. — 472с. : ил. — (Мир электроники). — ISBN 978-5-94836-124-6 / в пер./ : 339.26.
11. Абрамов, В.М. Электронные элементы устройств автоматического управления: Схемы. Расчет. Справочные данные / В.М.Абрамов. — М. : Академкнига, 2006. — 680с. : ил. — Библиогр.в конце кн. — ISBN 5-94628-222-0 / в пер./ : 368.10.
12. Нарышкин, А.К. Цифровые устройства и микропроцессоры : учеб.пособие для вузов / А.К.Нарышкин. — М. : Академия, 2006. — 320с. : ил. — (Высшее профессиональное образование: Радиоэлектроника). — Библиогр.в конце кн. — ISBN 5-7695-1618-6 / в пер./ : 217.80.

### ДОПОЛНИТЕЛЬНЫЙ

1. Микропроцессорные системы автоматического управления / В.А.Бессекерский, Н.Б.Ефимов, С.И.Зиятдинов и др.; Под общ. ред. В.А.Бессекерского.-Л.; Машиностроение. Ленингр. отделение, 1988.365 с.
2. Системы автоматического управления с микро-ЭВМ / В.Н. Дроздов, И.В.Мирошник, В.И.Скорубский.-Л.; Машиностроение Ленингр. отделение, 1989.-284 с.
3. Остром К., Виттенмарк Б. Системы управления с ЭВМ: Пер. с англ. -М. : Мир, 1987.-480 с.
4. Абель П. Язык Ассемблера для IBM PC и программирования / Пер. с англ. Ю.В.Сальникова. - М.:Высш.шк.,1992. - 447 с.
5. Борзенко А. Практическая энциклопедия по аппаратному обеспечению IBM PC. - Киев: Диалектика, 1994. - 224 с.
6. Гибсон Г., Лю Ю-Ч. Аппаратные и программные средства микро-ЭВМ / Пер. с англ. В.Л.Григорьева.; Под ред. В.В. Сташина.- М.. Финансы и статистика, 1983.-255с.
7. Каган Б.М., Сташин В.В. Основы проектирования микропроцессорных устройств автоматики.- М.: Энергоатомиздат, 1987.- 304 с.
8. Калабеков Б.А. Микропроцессоры и их применение в системах передачи и обработки сигналов.: Учебное пособие для вузов.- М.: Радио и связь, 1988.- 368с.
9. Кеннет Дж.Данхоф, Кэрл Л.Смит Основы микропроцессорных вычислительных систем.: Пер. с англ. А.А. Савельева. - М.: Высш.шк., - 1986.- 288с.
10. Коффрон Дж., Лонг В. Расширение микропроцессорных систем / Пер. с англ.; Под ред П.В.Нестерова. - М.: Машиностроение, 1987- 320с
11. Лю Ю-Чжен, Гибсон Г. Микропроцессоры семейства 8086/8088. Архитектура, программирование и проектирование микрокомпьютерных систем.; Пер. с англ.- М.: Радио и связь, 1987.- 512с.
12. Микропроцессоры. В 3-х кн. Кн.1. Архитектура и проектирование микроЭВМ. Организация вычислительных процессов.: Учеб. для вузов / П.В.Нестеров, В.Ф.Шаньгин, В.Л.Горбунов и др.; Под редакцией Л.Н. Преснухина. М.: Высш. шк., 1986.-495 с.
13. Микропроцессорный комплект К1810: Структура, программирование, применение: Справочная книга / Ю.М. Казаринов, В.Н.Номоконов, Г.С.Подклетнов, Ф.В.Филиппов..Под ред. Ю.М.Казаринова.- М.: Высш. шк., 1990.-269с.
14. Мячев А.А., Степанов В.Н. Персональные ЭВМ и микроЭВМ. Основы организации: Справочник/Под ред. А.А. Мячева. - М.: Радио и связь, 1991. - 320 с.
15. Рыбаков М.А. Анатомия персонального компьютера. - М.: СП Интермеханика, 1990. - 224 с.
16. Хвощ С.Т., Варлинский Н.Н., Попов Е.А. Микропроцессоры и микроЭВМ в системах автоматического управления. Справочник.; Под общ. ред. С.Т.Хвоща.- Л.: Машиностроение. Ленингр. отд-ние, 1987.-639с.
17. Шевкопляс Б.В. Микропроцессорные структуры. Инженерные решения: Справочник.- 2-е изд. перераб. и

доп.- М.: Радио и связь, 1990.- 512с.

18. Щелкунов Н.Н., Дианов А.П. Микропроцессорные средства и системы.-М.: Радио и связь, 1989.- 288с
19. Вуд А. Микропроцессоры в вопросах и ответах / Пер. с англ. Под ред. Д.А.Поспелова.- М.: Энергоатомиздат, 1985. - 184с.
20. Жаров А. Железо IBM. - М.: фирма МИКРОАРТ, 1994. - 198 с.
21. Казаринов Ю.М., Номоконов В.Н., Филиппов Ф.В. Применение микропроцессоров и микроЭВМ в радиотехнических системах. Учеб. пособие для радиотехнических спец. вузов.- М.: Высш.шк.,1988.- 207 с.
22. Микропроцессорные системы автоматического управления / В.А.Бесекерский, Н.Б.ефимов, С.И.Зиятдинов и др.. Под общ. ред. В.А.Бесекерского.-Л.: Машиностроение. Ленингр. отд-ние,1988. - 365с.
23. Микропроцессорное управление технологическим оборудованием микроэлектроники.: Учеб. пособие / А.А. Сазонов, Р.В.Корнилов, Н.П.Кохан и др.;Под ред. А.А.Сазонова.- М.: Радио и связь, 1988. - 264с.
24. Холленд Р. Микропроцессоры и операционные системы..Краткое справочное пособие.;Пер. с англ.- М.: Энергоатомиздат, 1991. - 192с.
25. Шевкопляс Б.В. Микропроцессорные структуры. Инженерные решения. Дополнение первое.. Справочник.-М.: Радио и связь, 1993. - 256с.
26. Фолкенберри Л.М. Справочное пособие по ремонту электрических и электронных систем. - М.: Энергоатомиздат, 1989. - 416 с.
27. Фролов А.В., Фролов Г.В. Программирование модемов. - М.: Диалог-МИФИ, 1994. - 240 с.
28. Фролов А.В., Фролов Г.В. Аппаратное обеспечение IBM PC: В 2-х ч.Ч.1. - М.: Диалог-МИФИ, 1992. - 208 с.
29. Фролов А.В., Фролов Г.В. Аппаратное обеспечение IBM PC: В 2-х ч.Ч.2. - М.: Диалог-МИФИ, 1992. - 208 с.
30. Шило В.Л. Популярные цифровые микросхемы: Справочник. 2-е изд., испр.-Челя-бинск: Металлургия, Челябинское отд., 1989. – 352 с.: ил. - (Массовая радиобиблиотека. Вып.1111).
31. Сташин В.В., Урусов А.В., Мологонцева О.Ф. Проектирование цифровых устройств на однокристалльных микроконтроллерах. -М.: Энергоатомиздат, 1990. - 224 с.